

[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)

Generate Collection

L16: Entry 8 of 8

File: JPAB

Nov 12, 1996

PUB-NO: JP408297988A

DOCUMENT-IDENTIFIER: JP 08297988 A

TITLE: SEMICONDUCTOR NONVOLATILE MEMORY

PUBN-DATE: November 12, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

ARASE, KENSHIROU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SONY CORP

APPL-NO: JP07104305

APPL-DATE: April 27, 1995

INT-CL (IPC): G11 C 16/06; H01 L 27/10; H01 L 21/8247; H01 L 29/788; H01 L 29/792

ABSTRACT:

PURPOSE: To obtain a memory in which a data can be written or erased at high rate by switching the operation for applying write voltage or erase voltage and the operation for verifying and reading data in a short time.

CONSTITUTION: A selected word line is applied with two types of voltage, i.e., a predetermined write voltage or erase voltage and a verify/read voltage. These voltages are outputted constantly from output circuits 4, 5 during data write interval or erase operation interval. Any one of the two types of applying voltages is outputted from circuits 6, 7 for selecting a word line during data write interval or erase operation interval depending on the operation thereof. With such arrangement, two types of applying voltage for word line can be switched in a short time in the write operation of DINOR type flash memory or the erase operation of NOR type flash memory.

COPYRIGHT: (C)1996, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-297988

(43) 公開日 平成8年(1996)11月12日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C	16/06		G 1 1 C 17/00	5 1 0 A
H 0 1 L	27/10		H 0 1 L 27/10	
	21/8247		G 1 1 C 17/00	5 3 0 B
	29/788		H 0 1 L 29/78	3 7 1
	29/792			

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号 特願平7-104305

(22) 出願日 平成7年(1995)4月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒瀬 謙士郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

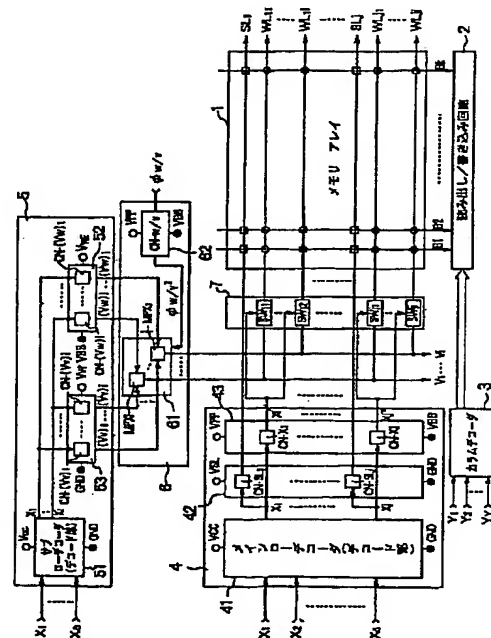
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体不揮発性記憶装置

(57) 【要約】

【目的】短時間に書き込み電圧印加動作または消去電圧印加動作とベリファイ読み出し動作の切替えが可能な半導体不揮発性記憶装置を実現する。

【構成】書き込み電圧印加動作または消去電圧印加動作と当該メモリセルに対するデータの書き込みまたは消去が終了したかどうかを検出するベリファイ読み出し動作を交互に繰り返すことにより書き込みまたは消去動作が行われる半導体不揮発性記憶装置において、選択されたワード線に印加するための所定の印加書き込み電圧または印加消去電圧とベリファイ読み出し電圧の2種類のワード線印加電圧をデータ書き込み動作期間中または消去動作期間中並列出力する回路4、5と、2種類のワード線印加電圧のどちらか一方を、データ書き込み動作期間中または消去動作期間中その動作に応じて、選択されたワード線に選択的に切り替えて出力する回路6、7とを設ける。



【特許請求の範囲】

【請求項1】 メモリセルに対するデータの書き込み動作または消去動作が、データを書き込むためのまたは消去するための所定の電圧を印加する書き込み電圧印加動作または消去電圧印加動作と当該メモリセルに対するデータの書き込みまたは消去が終了したかどうかを検出するベリファイ読み出し動作を交互に繰り返すことにより行われる半導体不揮発性記憶装置であって、選択されたワード線に印加するための所定の印加書き込み電圧または印加消去電圧とベリファイ読み出し電圧の2種類のワード線印加電圧を、上記データ書き込み動作期間中または消去動作期間中並列出力する手段と、上記の2種類のワード線印加電圧のどちらか一方を、上記データ書き込み動作期間中または消去動作期間中その動作に応じて、当該選択されたワード線に選択的に切り替えて出力する手段とを有する半導体不揮発性記憶装置。

【請求項2】 ビット線が主ビット線と副ビット線とに階層化され、主ビット線と副ビット線とが動作に応じて選択的に接続され、かつ副ビット線に複数のメモリセルが並列に接続された請求項1記載の半導体不揮発性記憶装置。

【請求項3】 複数のワード線とビット線に対し行列状に配列されたメモリセルが接続された請求項1記載の半導体不揮発性記憶装置。

【請求項4】 複数のワード線から構成される各ワード線ブロックの特定のワード線ブロックを選択するメインローデコーダと、

上記メインローデコーダにより選択されたワード線ブロック内のそれぞれのワード線毎に所定の印加書き込み電圧または印加消去電圧とベリファイ読み出し電圧の2種類のワード線印加電圧が同時に並列出力できるサブローデコーダと、

上記サブローデコーダからの上記2種類のワード線印加電圧のどちらか一方を上記データ書き込み動作または消去動作に応じて選択的に切り替えて出力するワード線印加電圧切り替え部と、

上記ワード線印加電圧切り替え部により選択出力された上記の2種類のワード線印加電圧のどちらか一方のワード線印加電圧を上記メインローデコーダにより選択されたワード線ブロック内のそれぞれのワード線に伝達出力するためのワード線出力伝達部とを有する請求項1記載の半導体不揮発性記憶装置。

【請求項5】 上記メインローデコーダは、論理動作電圧レベルで動作する少なくとも1個のローアドレス入力信号をデコードし、それぞれのワード線ブロックに対して当該ワード線ブロックが選択されるべきか否かを制御するデコード信号を出力するデコード回路と、上記デコード信号のそれぞれに対してその動作電圧レベルを論理動作電圧レベルから所定の電圧値レベルに変換

してそれぞれのワード線ブロックに対してワード線ブロック選択信号を生成する電圧変換回路とを有する請求項4記載の半導体不揮発性記憶装置。

【請求項6】 上記サブローデコーダは、論理動作電圧レベルで動作する少なくとも1個のローアドレス入力信号をデコードし、ワード線ブロック内のそれぞれのワード線に対して当該ワード線が選択されるべきか否かを制御するデコード信号を出力するデコード回路と、上記デコード信号のそれぞれに対してその動作電圧レベルを論理動作電圧レベルから所定の電圧値レベルに変換してそれぞれにワード線に印加する印加書き込み電圧または印加消去電圧を生成する第1の電圧変換回路と、上記デコード信号のそれぞれに対してその動作電圧レベルを論理動作電圧レベルから所定の電圧値レベルに変換してそれぞれのワード線に印加するベリファイ読み出し電圧を生成する第2の電圧変換回路とを有する請求項4記載の半導体不揮発性記憶装置。

【請求項7】 上記ワード線印加電圧切り替え部は、データ書き込み動作または消去動作に応じて書き込み電圧印加動作または消去電圧印加動作を行うべきかベリファイ読み出し動作を行うべきかを制御する制御信号の動作電圧レベルを、論理動作電圧レベルから所定の電圧値レベルに変換してワード線印加電圧切り替え信号を生成する電圧変換回路と、

ワード線ブロックを構成するそれぞれのワード線毎に対応して設けられた少なくとも2入力を受け1出力を選択するマルチプレクサ回路であって、2入力端子がそれぞれ上記サブローデコーダからの2種類のワード線印加電圧の供給線に接続され、上記ワード線印加電圧切り替え信号を受けてどちらか一方のワード線印加電圧を出力するマルチプレクサ回路とを有する請求項4記載の半導体不揮発性記憶装置。

【請求項8】 上記ワード線出力伝達部は、それぞれのワード線毎に対応して設けられた半導体素子によりなるスイッチであって、一方の端子が当該ワード線に対応すべき上記ワード線印加電圧切り替え部により選択出力されたワード線印加電圧の供給線に接続され、他方の端子がそれぞれメモリアレイ内のワード線に接続され、上記ワード線ブロック選択信号を受けて選択されたワード線ブロックのスイッチのみが接続され他のスイッチが切り離されるスイッチ回路を有する請求項4記載の半導体不揮発性記憶装置。

【請求項9】 上記メインローデコーダからの各ワード線ブロック選択信号とサブローデコーダからのそれぞれのワード線毎への印加書き込み電圧または印加消去電圧およびベリファイ読み出し電圧の2種類のワード線印加電圧が、データ書き込み動作期間中または消去動作期間中、それぞれの所定の電圧値に固定されている請求項4記載の半導体不揮発性記憶装置。

【請求項10】 上記各ワード線ブロック選択信号および

ワード線印加電圧切り替え信号は、上記サブローデコーダから出力されるそれぞれの所定の印加書き込み電圧または印加消去電圧およびベリファイ読み出し電圧のいずれに対しても、低電圧側の電圧値が同等あるいはそれ以下の電圧値であり、高電圧側の電圧値が同等あるいはそれ以上の電圧値である請求項4記載の半導体不揮発性記憶装置。

【請求項11】上記低電圧側の電圧値は所定の負電圧であり、上記高電圧側の電圧値は所定の正電圧である請求項10記載の半導体不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気的に書換え可能なメモリ、たとえばフラッシュEEPROMなどの半導体不揮発性記憶装置に関するものである。

【0002】

【従来の技術】電気的に書換え可能なメモリとして、データの書き込みはFN (Fowler-Nordheim) トンネリングによりドレイン側よりフローティングゲート中の電子を引き抜くことにより行い、消去もFNトンネリングによりフローティングゲート中へ電子を注入することにより行うDINOR型フラッシュメモリが知られている。

【0003】以下、DINOR型フラッシュメモリの消去動作、書き込み動作、ベリファイ読み出し動作、読み出し動作におけるバイアス条件を、それぞれ図18、図19、図20、図21に示し、簡単に説明する。

【0004】図18、図19、図20および図21は、主ビット線2本、副ビット線に連なるワード線8本の2群から構成されるDINOR型フラッシュメモリをそれぞれ示している。

【0005】図18、図19、図20および図21において、WL1m~WL8m、WL1m+1~WL8m+1はワード線、SLm、SLm+1は選択ゲート線、MBLn、MBLn+1は主ビット線、SBLm、n、SBLm+1、n、SBLm、n+1、SBLm+1、n+1は副ビット線、SRLは共通ソース線、MT1m、n~MT8m、n、MT1m+1、n~MT8m+1、n、MT1m、n+1~MT8m、n+1、MT1m+1、n+1~MT8m+1、n+1はメモリセルトランジスタ、STm、n、STm+1、n、STm、n+1、STm+1、n+1は選択トランジスタをそれぞれ示している。

【0006】図18の消去例においては、WL1m~WL8mのワード線ブロックに連なるメモリセルトランジスタの消去を行う場合である。この場合、選択するワード線WL1m~WL8mに20V、すべての選択ゲート線SLm、SLm+1、およびその他のワード線WL1m+1~WL8m+1、および共通ソース線SRLに0Vを印加して、すべての主ビット線MBLn、MBLn+1をフローティング状態にバイアスする。その結果、

選択するワード線ブロックWL1m~WL8mに連なるメモリセルトランジスタのフローティングゲート中に電子がFNトンネリングにより注入されて、メモリセルトランジスタのしきい値電圧Vthは5V以上になる。

【0007】図19の書き込み例は、ワード線WL4mに連なるメモリセルトランジスタに、ワード線一括書き込みを行う場合であり、図中実線で囲んだメモリセルトランジスタMT4m、nに「1」データを書き込み、図中点線で囲んだメモリセルトランジスタMT4m、n+1に「0」データを書き込む。この場合、選択ゲート線SLmに10V、選択するワード線WL4mに-10V、その他のゲート線SLm+1、およびその他のワード線WL1m~WL3m、WL5m~WL8m、WL1m+1~WL8m+1に0Vを印加し、共通ソース線SRLをフローティング状態にバイアスして、「1」データを書き込むメモリセルトランジスタMT4m、nが接続された主ビット線MBLnに6V、「0」データを書き込むメモリセルトランジスタMT4m、n+1が接続された主ビット線MBLn+1に0Vを印加する。その結果、メモリセルトランジスタMT4m、nのみ、FNトンネリングによりフローティングゲート中の電子がドレインにより引き抜かれて、メモリセルトランジスタのしきい値電圧Vthは1V~2V程度に遷移する。

【0008】図20のベリファイ読み出し動作は、図19の書き込み動作の直後に行われ、当該書き込み動作の結果、「1」データを書き込むべきメモリセルトランジスタMT4m、nのしきい値電圧Vthがベリファイ読み出し電圧以下、この場合2V以下に遷移したかどうかを調べる。この場合、選択ゲート線SLmに3.3V、選択するワード線WL4mに2V、選択する主ビット線MBLnに1V、その他のゲート線SLm+1、およびその他のワード線WL1m~WL3m、WL5m~WL8m、WL1m+1~WL8m+1、およびその他の主ビット線MBLn+1、および共通ソース線SRLに0Vを印加する。その結果、選択されたメモリセルトランジスタMT4m、nがオフ状態にある場合、メモリセルトランジスタに対する書き込みが充分でないと判断し、オン状態にある場合、メモリセルトランジスタに対する書き込みが完了したと判断する。

【0009】図21の読み出し例は、図中実線で囲んだメモリセルトランジスタMT4m、nの読み出しをする場合である。この場合、選択ゲート線SLm、および選択するワード線WL4mに3.3V、選択する主ビット線MBLnに1V、その他のゲート線SLm+1、およびその他のワード線WL1m~WL3m、WL5m~WL8m、WL1m+1~WL8m+1、およびその他の主ビット線MBLn+1、および共通ソース線SRLに0Vを印加する。その結果、選択されたメモリセルトランジスタMT4m、nがオフ状態にある場合、データ「0」(消去状態)にあり、オン状態にある場合、デー

タ「1」(書き込み状態)にあると判断する。

【0010】図22は、以上説明したDINOR型フラッシュメモリの消去動作、書き込み動作、ペリファイ読み出し動作、読み出し動作におけるバイアス条件をまとめたものである。

【0011】また、電氣的に書換え可能な他のフラッシュメモリとして、データの書き込みはCHE(チャンネルホットエレクトロン)によりドレイン側よりフローティングゲート中に電子を注入することにより行い、消去はFNTトンネリングによりフローティングゲートからソ

ースへ電子を引き抜くことにより行うNOR型フラッシュメモリが知られている。

【0012】以下、NOR型フラッシュメモリの消去動作、ペリファイ読み出し動作、書き込み動作、読み出し動作におけるバイアス条件を、それぞれ図23、図24、図25、図26に示し、簡単に説明する。

【0013】図23、図24、図25および図26において、 WL_{m-1} 、 WL_m 、 WL_{m+1} はワード線、 BL_{n-1} 、 BL_n 、 BL_{n+1} はビット線、 SRL は共通ソース線、 $MT_{m-1, n-1}$ 、 $MT_{m-1, n}$ 、 $MT_{m-1, n+1}$ 、 $MT_{m, n-1}$ 、 $MT_{m, n}$ 、 $MT_{m, n+1}$ 、 $MT_{m+1, n-1}$ 、 $MT_{m+1, n}$ 、 $MT_{m+1, n+1}$ はメモリセルをそれぞれ示している。

【0014】図23の消去例においては、選択するワード線 WL_m に連なるメモリセルトランジスタ $MT_{m, n-1}$ 、 $MT_{m, n}$ 、 $MT_{m, n+1}$ について、ワード線セクタ消去を行う場合である。この場合、選択するワード線 WL_m に $-10V$ 、その他のワード線 WL_{m-1} 、 WL_{m+1} に $0V$ 、すべてのビット線 BL_{n-1} 、 BL_n 、 BL_{n+1} をフローティング状態にバイアスして、共通ソース線 SRL に $5V$ を印加する。その結果、選択するワード線 WL_m に連なるメモリセルトランジスタ $MT_{m, n-1}$ 、 $MT_{m, n}$ 、 $MT_{m, n+1}$ のフローティングゲート中の電子がFNTトンネリングによりソース側から引き抜かれて、メモリセルトランジスタのしきい値電圧 V_{th} は $1V \sim 2V$ 程度になる。

【0015】図24のペリファイ読み出し動作は、図23の消去動作の直後に行われ、当該消去動作の結果、消去を行うべきメモリセルトランジスタ $MT_{m, n-1}$ 、 $MT_{m, n}$ 、 $MT_{m, n+1}$ のしきい値電圧 V_{th} がペリファイ読み出し電圧以下、この場合 $3V$ 以下に遷移したかどうかを調べる。この場合、選択するワード線 WL_m に $3V$ 、すべてのビット線 BL_{n-1} 、 BL_n 、 BL_{n+1} に $1V$ を印加し、その他のワード線 WL_{m-1} 、 WL_{m+1} および共通ソース線 SRL に $0V$ を印加する。その結果、選択されたメモリセルトランジスタ $MT_{m, n-1}$ 、 $MT_{m, n}$ 、 $MT_{m, n+1}$ がオフ状態にある場合、メモリセルトランジスタに対する消去が充分でないと判断し、オン状態にある場合、メモリセルトランジスタに対する消去が完了したと判断する。

【0016】図25の書き込み例は、図中実線で囲んだメモリセル $MT_{m, n}$ にデータ書き込みを行う場合である。この場合、選択するワード線 WL_m に $12V$ 、選択するビット線 BL_n に $7V$ を印加し、その他のワード線 WL_{m-1} 、 WL_{m+1} 、ビット線 BL_{n-1} 、 BL_{n+1} および共通ソース線 SRL に $0V$ を印加する。その結果、選択されたメモリセルトランジスタ $MT_{m, n}$ にのみ、チャンネルホットエレクトロン(CHE)により、フローティングゲート中に電子が注入されて、しきい値電圧 V_{th} は $5V$ 以上になる。

【0017】図26の読み出し例は、図中実線で囲んだメモリセルトランジスタ $MT_{m, n}$ のデータ読み出しをする場合である。この場合、選択するワード線 WL_m に $5V$ 、選択するビット線 BL_n に $1V$ 、その他のワード線 WL_{m-1} 、 WL_{m+1} 、およびその他のビット線 BL_{n-1} 、 BL_{n+1} 、および共通ソース線 SRL に $0V$ を印加する。その結果、選択されたメモリセルトランジスタ $MT_{m, n}$ がオフ状態にある場合、メモリセルトランジスタのデータは「1」(書き込み状態)であると判断し、オン状態にある場合、メモリセルトランジスタのデータは「0」(消去状態)にあると判断する。

【0018】図27は、以上説明したNOR型フラッシュメモリの消去動作、ペリファイ読みだし動作、書き込み動作、読み出し動作におけるバイアス条件をまとめたものである。

【0019】

【発明が解決しようとする課題】ところで、上述したDINOR型フラッシュメモリおよびNOR型フラッシュメモリの動作においては、書き込み動作/ペリファイ読み出し動作または消去動作/ペリファイ読み出し動作が、交互に繰り返行われる。したがって、上記動作期間中、選択するワード線に所定の負電圧である印加書き込み電圧または印加消去電圧と、所定の正電圧であるペリファイ読み出し電圧の2種類のワード線印加電圧を交互に繰り返行し印加する必要がある。

【0020】たとえば図19、図20に示すDINOR型フラッシュメモリの場合、選択するワード線に、印加書き込み電圧 $-10V$ およびペリファイ読み出し電圧 $2V$ を交互に繰り返行し印加する。また図23、図24に示すNOR型フラッシュメモリの場合、選択するワード線に印加消去電圧 $-10V$ およびペリファイ読み出し電圧 $3V$ を交互に繰り返行し印加する。

【0021】ところが、選択するワード線に所定の負電圧と所定の正電圧を交互に繰り返行し印加することから、当該ワード線の充放電に非常な長時間を要するという問題がある。しかも、上述した書き込み動作/ペリファイ読み出し動作または消去動作/ペリファイ読み出し動作の繰り返行回数は非常に多数回行われるため、実際の書き込み時間または消去時間よりも、ワード線の充放電に要する時間が支配的となって、高速の書き込みまたは消

去が非常に困難であった。

【0022】たとえば、図19、図20に示すDINOR型フラッシュメモリの場合、書き込み動作／ペリファイ読み出し動作の繰り返し回数は約100回程度であり、ワード線の充電または放電に要する時間は約100μ秒程度である。したがって、ワード線の充放電に要する時間は合計20m秒程度になり、実際に書き込みに必要な時間約1m秒に対して、支配的になる。

【0023】図28および図29は、上述したDINOR型フラッシュメモリの書き込み動作／ペリファイ読み出し動作における、選択するワード線ドライバのそれぞれのバイアス状態を示す回路図である。図28、図29のワード線ドライバ回路は、pチャネルMOS（以下、P型という）トランジスタTP1、nチャネルMOS（以下、N型という）トランジスタTN1からなるインバータ回路である。すなわち、図28に示すように、書き込み電圧印加動作においては、選択するワード線ドライバはプラス側の電圧値が0V、マイナス側の電圧値が-10Vの電圧範囲で動作し、アドレス信号に対してワード線出力は反転出力される。

【0024】これに対して、図29に示すように、ペリファイ読み出し動作においては、選択するワード線ドライバはプラス側の電圧値が2V、マイナス側の電圧値が0Vの電圧範囲で動作し、アドレス信号に対してワード線出力は正転出力される。

【0025】図30および図31は、上述した図28、図29に示すワード線ドライバのバイアス状態で、特に問題となるN型トランジスタTN1のバイアス状態を示す図である。図30、図31に示すように、N型トランジスタTN1は負電圧で動作するために、NWE LL中のPWELLに形成されている。すなわち、図30に示すように、書き込み電圧印加動作においては、N型トランジスタTN1は、ソース拡散層およびPWELL基板が-10Vにバイアスされる。

【0026】これに対して、図31に示すように、ペリファイ読み出し動作においては、N型トランジスタTN1は、ソース拡散層およびPWELL基板が0Vにバイアスされる。

【0027】N型トランジスタTN1のソース拡散層およびPWELL基板の充放電は、選択されるワード線ドライバ回路だけでなく、すべてのワード線ドライバ回路においても行われる。したがって、書き込み電圧印加動作とペリファイ読み出し電圧印加動作の切り替え、あるいはペリファイ読み出し電圧印加動作と書き込み電圧印加動作の切り替え時に、印加書き込み電圧を発生する負電圧昇圧回路に大きな負荷となり、上記動作電圧の切り替えに長時間を要することになる。

【0028】図32は、上述したDINOR型フラッシュメモリの書き込み動作／ペリファイ読み出し動作における、選択するワード線の出力電圧レベルのタイミン

グチャートを示す図である。図32において、φw/vは書き込み電圧印加動作を行うべきか、あるいはペリファイ読み出し電圧印加動作を行うべきかを制御する信号であり、論理動作電圧レベル3.3V/0Vで動作する。また、WLは選択するワード線の出力であり、書き込み電圧印加動作時には-10Vに、ペリファイ読み出し電圧印加動作時には2Vにバイアスされている。

【0029】図32に示すように、時刻t1、t3で制御信号φw/vがハイレベルからローレベルに変化して書き込み電圧印加動作からペリファイ読み出し電圧印加動作に切り替わっても、ワード線出力WLはすぐには変化できず、時刻t1'、t3'で-10Vから2Vに変化する。同様に、時刻t2、t4で制御信号φw/vがローレベルからハイレベルに変化してペリファイ読み出し電圧印加動作から書き込み電圧印加動作に切り替わっても、ワード線出力WLはすぐには変化できず、時刻t2'、t4'で2Vから-10Vに変化する。したがって、ワード線の充放電に要する時間が、実際に書き込みに必要な時間に対して、支配的になり、高速の書き込みが非常に困難となる。

【0030】本発明は、かかる事情に鑑みてなされたものであり、その目的は、短時間に書き込み電圧印加動作または消去電圧印加動作とペリファイ読み出し動作の切り替えが可能であり、ひいては高速に書き込みまたは消去が行える半導体不揮発性記憶装置を提供することにある。

【0031】

【課題を解決するための手段】上記目的を達成するため、本発明は、メモリセルに対するデータの書き込み動作または消去動作が、データを書き込みのためのまたは消去するための所定の電圧を印加する書き込み電圧印加動作または消去電圧印加動作と当該メモリセルに対するデータの書き込みまたは消去が終了したかどうかを検出するペリファイ読み出し動作を交互に繰り返すことにより行われる半導体不揮発性記憶装置であって、選択されたワード線に印加するための所定の印加書き込み電圧または印加消去電圧とペリファイ読み出し電圧の2種類のワード線印加電圧を、上記データ書き込み動作期間中または消去動作期間中並列出力する手段と、上記の2種類のワード線印加電圧のどちらか一方を、上記データ書き込み動作期間中または消去動作期間中その動作に応じて、当該選択されたワード線に選択的に切り替えて出力する手段とを有する。

【0032】また、上記半導体不揮発性記憶装置は、ビット線が主ビット線と副ビット線とに階層化され、主ビット線と副ビット線とが動作に応じて選択的に接続され、かつ副ビット線に複数のメモリセルが並列に接続されているDINOR型フラッシュメモリである。

【0033】あるいは、上記半導体不揮発性記憶装置は、複数のワード線とビット線に対し行列状に配列され

たメモリセルが接続されたNOR型フラッシュメモリである。

【0034】また、上記半導体不揮発性記憶装置は、複数のワード線から構成される各ワード線ブロックの特定のワード線ブロックを選択するメインローデコーダと、上記メインローデコーダにより選択されたワード線ブロック内のそれぞれのワード線毎に所定の印加書き込み電圧または印加消去電圧とベリファイ読み出し電圧の2種類のワード線印加電圧が同時に並列出力できるサブローデコーダと、上記サブローデコーダからの上記2種類のワード線印加電圧のどちらか一方を上記データ書き込み動作または消去動作に応じて、選択的に切り替えて出力するワード線印加電圧切り替え部と、上記ワード線印加電圧切り替え部により選択出力された上記の2種類のワード線印加電圧のどちらか一方のワード線印加電圧を上記メインローデコーダにより選択されたワード線ブロック内のそれぞれのワード線に伝達出力するためのワード線出力伝達部とを有する。

【0035】また上記メインローデコーダは、論理動作電圧レベルで動作する少なくとも1個のロードレス入力信号をデコードし、それぞれのワード線ブロックに対して当該ワード線ブロックが選択されるべきか否かを制御するデコード信号を出力するデコード回路と、上記デコード信号のそれぞれに対してその動作電圧レベルを論理動作電圧レベルから所定の電圧値レベルに変換してそれぞれのワード線ブロックに対してワード線ブロック選択信号を生成する電圧変換回路とを有する。

【0036】また上記サブローデコーダは、論理動作電圧レベルで動作する少なくとも1個のロードレス入力信号をデコードし、ワード線ブロック内のそれぞれのワード線に対して当該ワード線が選択されるべきか否かを制御するデコード信号を出力するデコード回路と、上記デコード信号のそれぞれに対してその動作電圧レベルを論理動作電圧レベルから所定の電圧値レベルに変換してそれぞれのワード線に印加する印加書き込み電圧または印加消去電圧を生成する第1の電圧変換回路と、上記デコード信号のそれぞれに対してその動作電圧レベルを論理動作電圧レベルから所定の電圧値レベルに変換してそれぞれのワード線に印加するベリファイ読み出し電圧を生成する第2の電圧変換回路とを有する。

【0037】また、上記ワード線印加電圧切り替え部は、データ書き込み動作または消去動作に応じて書き込み電圧印加動作または消去電圧印加動作を行うべきかベリファイ読み出し動作を行うべきかを制御する制御信号の動作電圧レベルを、論理動作電圧レベルから所定の電圧値レベルに変換してワード線印加電圧切り替え信号を生成する電圧変換回路と、ワード線ブロックを構成するそれぞれのワード線毎に対応して設けられた少なくとも2入力を受け1出力を選択するマルチプレクサ回路であって、2入力端子がそれぞれ上記サブローデコーダから

の2種類のワード線印加電圧の供給線に接続されて、上記ワード線印加電圧切り替え信号を受けてどちらか一方のワード線印加電圧が出力されるマルチプレクサ回路とを有する。

【0038】また、上記ワード線出力伝達部は、それぞれのワード線毎に対応して設けられた半導体素子によりなるスイッチであって、一方の端子が当該ワード線が対応すべきワード線印加電圧切り替え部により選択出力されたワード線印加電圧の供給線に接続され、他方の端子がそれぞれメモリアレイ内のワード線に接続されて、上記ワード線ブロック選択信号を受けて選択されたワード線ブロックのスイッチのみが接続され他のスイッチが切り離されるスイッチ回路を有する。

【0039】また、上記メインローデコーダからの各ワード線ブロック選択信号とサブローデコーダからのそれぞれのワード線毎への印加書き込み電圧または印加消去電圧およびベリファイ読み出し電圧の2種類のワード線印加電圧が、データ書き込み動作期間中または消去動作期間中、それぞれの所定の電圧値に固定されている。

【0040】また、上記各ワード線ブロック選択信号およびワード線印加電圧切り替え信号は、上記サブローデコーダから出力されるそれぞれの所定の印加書き込み電圧または印加消去電圧およびベリファイ読み出し電圧のいずれに対しても、低電圧側の電圧値が同等あるいはそれ以下の電圧値であり、高電圧側の電圧値が同等あるいはそれ以上の電圧値である。また、上記低電圧側の電圧値は所定の負電圧であり、上記高電圧側の電圧値は所定の正電圧である。

【0041】

【作用】本発明の半導体不揮発性記憶装置によれば、選択されたワード線に印加するための所定の印加書き込み電圧または印加消去電圧とベリファイ読み出し電圧の2種類のワード線印加電圧が、データ書き込み動作期間中または消去動作期間中常時並列出力され、かつ上記の2種類のワード線印加電圧のどちらか一方が、上記データ書き込み動作期間中または消去動作期間中その動作に応じて、当該選択するワード線に選択的に切り替えて出力される。これにより、たとえばDINOR型フラッシュメモリの書き込み動作あるいはNOR型フラッシュメモリの消去動作において、短時間に上記の2種類のワード線印加電圧の切替えが可能となる。

【0042】また、上記の動作においては、たとえばメインローデコーダにより複数のワード線から構成される各ワード線ブロックの特定のワード線ブロックが選択される。メインローデコーダにより選択されたワード線ブロック内のそれぞれのワード線毎に所定の印加書き込み電圧または印加消去電圧とベリファイ読み出し電圧の2種類のワード線印加電圧は、サブローデコーダにより同時に並列出力される。そして、ワード線印加電圧切り替え部において、サブローデコーダからの上記の2種類の

ワード線印加電圧のどちらか一方が上記データ書き込み動作または消去動作に応じて選択的に切り替えられて出力される。ワード線印加電圧切り替え部により選択出力された上記の2種類のワード線印加電圧のどちらか一方のワード線印加電圧は、ワード線出力伝達部によってメインローデコーダにより選択されたワード線ブロック内のそれぞれのワード線に伝達出力される。

【0043】また、上記メインローデコーダにおいては、デコード回路により論理動作電圧レベルで動作する少なくとも1個のロードレス入力信号がデコードされ、それぞれのワード線ブロックに対して当該ワード線ブロックが選択されるべきか否かを制御するデコード信号が出力される。そして、電圧変換回路でデコード信号のそれぞれに対してその動作電圧レベルが論理動作電圧レベルから所定の電圧値レベルに変換され、それぞれのワード線ブロックに対してワード線ブロック選択信号が生成される。

【0044】また、上記サブローデコーダにおいては、デコード回路により論理動作電圧レベルで動作する少なくとも1個のロードレス入力信号がデコードされ、ワード線ブロック内のそれぞれのワード線に対して当該ワード線が選択されるべきか否かを制御するデコード信号が出力される。このデコード信号に基づき第1の電圧変換回路で、当該デコード信号のそれぞれに対してその動作電圧レベルが論理動作電圧レベルから所定の電圧値レベルに変換され、それぞれのワード線に印加する印加書き込み電圧または印加消去電圧が生成される。また、第2の電圧変換回路において、デコード信号のそれぞれに対してその動作電圧レベルが論理動作電圧レベルから所定の電圧値レベルに変換され、それぞれのワード線に印加するベリファイ読み出し電圧が生成される。

【0045】また、上記ワード線印加電圧切り替え部においては、電圧変換回路によりデータ書き込み動作または消去動作に応じて書き込み電圧印加動作または消去電圧印加動作を行うべきかベリファイ読み出し動作を行うべきかを制御する制御信号の動作電圧レベルが、論理動作電圧レベルから所定の電圧値レベルに変換されて、ワード線印加電圧切り替え信号が生成される。そして、マルチプレクサ回路において、ワード線印加電圧切り替え信号が受信され、どちらか一方のワード線印加電圧が出力される。

【0046】また、上記ワード線出力伝達部では、スイッチ回路において、ワード線ブロック選択信号を受けて、選択されたワード線ブロックのスイッチのみが接続され他のスイッチが切り離される。

【0047】また、上記メインローデコーダからの各ワード線ブロック選択信号とサブローデコーダからのそれぞれのワード線毎への印加書き込み電圧または印加消去電圧およびベリファイ読み出し電圧の2種類のワード線印加電圧が、データ書き込み動作期間中または消去動作

期間中常時、それぞれの所定の電圧値に固定される。これにより、上記動作期間中、上記ローデコーダ内のたとえばN型トランジスタのPWE L L基板の電位を変化させる必要がなく、固定することができる。

【0048】また、上記メインローデコーダからの各ワード線ブロック選択信号とサブローデコーダから出力されるそれぞれの所定の印加書き込み電圧または印加消去電圧およびベリファイ読み出し電圧のいずれに対しても、低電圧側の電圧値が同等あるいはそれ以下の電圧値であり、高電圧側の電圧値が同等あるいはそれ以上の電圧値である。したがって、上記ワード線印加電圧切り替え部内のマルチプレクサ回路およびワード線出力伝達部内のスイッチ回路は、それぞれの所定の印加書き込み電圧または印加消去電圧およびベリファイ読み出し電圧のいずれに対しても動作できる。

【0049】また、上記低電圧側の電圧値は所定の負電圧であり、上記高電圧側の電圧値は所定の正電圧である。したがって、上述したDINOR型フラッシュメモリの書き込み動作あるいはNOR型フラッシュメモリの消去動作に対応できる。

【0050】

【実施例】図1および図2は、本発明に係る第1の実施例であるDINOR型フラッシュメモリの、書き込み電圧印加動作およびベリファイ読み出し動作のバイアス例を示す図である。

【0051】図1に示す書き込み電圧印加動作のバイアス例は、図19に示す従来例と同じであるが、図2に示すベリファイ読み出し動作のバイアス例が、図20に示す従来例と異なる。この相違点は、選択ゲート線SLmに印加する電圧が、書き込み電圧印加動作時の10Vのまま変化しないことである。

【0052】図3は、図1および図2に示すような書き込み電圧印加動作およびベリファイ読み出し動作を実現するための、本発明の半導体不揮発性記憶装置、特に第1の実施例であるDINOR型フラッシュメモリの、ローデコーダを中心とする要部のブロック図である。

【0053】図3において、1はDINOR型フラッシュメモリのメモリアレイ部、2は読み出し/書き込み回路、3はカラムデコーダ、4はメインデコーダ、5はサブデコーダ、6はワード線印加電圧切り替え部、7はワード線出力伝達部をそれぞれ示している。

【0054】メモリアレイ部1は、それぞれ同じ副ビット線に連なるワード線i本を1ブロックとするj群のワード線ブロック、主ビット線k本のアレイからなる。なお、図中、□は選択トランジスタを、○はメモリトランジスタを表している。

【0055】メインデコーダ4は、デコード部41、選択ゲート線出力部42、およびワード線ブロック選択信号出力部43により構成されている。デコード部41

は、VCC/GNDレベルで動作するロードレス入力信

13

号X1~Xbをデコードし、それぞれのワード線ブロック内対応したデコード信号x1~xjを発生する。選択ゲート線出力部42は、デコード信号x1~xjをVSL/GNDレベルに変換して、選択ゲート線出力SL1~SLjを発生する。ワード線ブロック選択信号出力部43は、デコード信号x1~xjを、VPP/VBBレベルに変換して、それぞれのワード線ブロックが選択されるべきか否かを制御するワード線ブロック選択信号x1'~xj'を発生する。

【0056】サブローデコーダ5は、デコード部51、書き込み/消去ワード線印加電圧出力部52、およびベリファイ読み出しワード線印加電圧出力部53により構成されている。デコード部51は、VCC/GNDレベルで動作するローアドレス入力信号x1~xaをデコードし、ワード線ブロック内のそれぞれのワード線に対応したデコード信号x1~xiを発生する。書き込み/消去ワード線印加電圧出力部52は、デコード信号x1~xiを、VwE/VBBレベルに変換して、書き込み/消去ワード線印加電圧(Vw)1~(Vw)iを発生する。ベリファイ読み出しワード線印加電圧出力部53は、デコード信号x1~xiを、Vvr/GNDレベルに変換して、ベリファイ読み出しワード線印加電圧(Vv)1~(Vv)iを発生する。

【0057】ワード線印加電圧切り替え部6は、ワード線印加電圧切り替えマルチプレクサ部61、およびワード線印加電圧切り替え信号発生部62により構成されている。ワード線印加電圧切り替えマルチプレクサ部61は、サブローデコーダ5から出力される書き込み/消去ワード線印加電圧(Vw)1~(Vw)iとベリファイ読み出しワード線印加電圧(Vv)1~(Vv)iの2種類のワード線印加電圧を入力して、動作に応じてどちらか一方をワード線出力V1~Viとして出力する。ワード線印加電圧切り替え信号発生部62は、ワード線印加電圧切り替えマルチプレクサ部61の動作において、上記2種類のワード線印加電圧のどちらのワード線印加電圧を選択するかを制御するためのワード線印加電圧切り替え信号φw/v'を発生する回路であって、VCC/GNDレベルで動作する制御信号φw/vをVPP/VBBレベルに変換して発生する。

【0058】ワード線出力伝達部7は、それぞれのワード線WL11~WLjiに対応して設けられたスイッチ回路SW11~SWjiからなり、メインローデコーダ4から出力されるワード線ブロック選択信号x1'~xj'の制御により、ワード線印加電圧切り替え部6により出力されるワード線出力V1~Viを選択されるワード線ブロック内のそれぞれのワード線に伝達する。

【0059】なお、図3のブロック図において、VCC、VPP、VwE、Vvr、VSLが供給される図中○側で示す端子はプラス側の電源端子であり、電圧GND、VBBが供給される図中●側で示す端子はマイナス側の電源

14

端子である。また、VCC、GNDは通常の論理動作の電圧レベルであり、それぞれ3.3V、0Vである。

【0060】図4は、上述したそれぞれの電源端子の電圧値レベルが、本発明のDINOR型フラッシュメモリの消去動作、書き込み電圧印加動作、ベリファイ読み出し動作、読み出し動作の4種類の動作モードで、それぞれどのような電圧値に設定されるかを示した表である。図4の表で特に重要な点は、書き込み電圧印加動作とベリファイ読み出し動作時の2種類の動作モード時に、各電源端子の電圧値レベルが同一レベルに設定されており、上記2種類の動作モードの繰り返し切り替え時に、各電源端子の電圧設定を繰り返し設定しなおす必要がないことである。これは、従来のDINOR型フラッシュメモリの動作と大きく異なる。

【0061】すなわち、図4に示すように、VCC、GNDは通常の論理動作の電圧レベルであるため、動作モードにかかわらずそれぞれ3.3V、0Vに設定される。VPPは消去動作時に20V、書き込み電圧印加動作、およびベリファイ読み出し動作、および読み出し動作時に3.3Vに設定される。VBBは消去動作時に0V、書き込み電圧印加動作、およびベリファイ読み出し動作時に-10V、読み出し動作時に0Vに設定される。VwEは消去動作時に20V、書き込み電圧印加動作、およびベリファイ読み出し動作時に0V、読み出し動作時に3.3Vに設定される。Vvrは消去動作時に3.3V、書き込み電圧印加動作、およびベリファイ読み出し動作時に2V、読み出し動作時に3.3Vに設定される。VSLは消去動作時に3.3V、書き込み電圧印加動作、およびベリファイ読み出し動作時に10V、読み出し動作時に3.3Vに設定される。

【0062】図5は、図3のローデコーダを中心とするブロック構成、および図4の各動作モードにおけるそれぞれ電源端子の電圧設定の結果、特に書き込み電圧印加動作/ベリファイ読み出し動作の繰り返し切り替え時に、各種の信号および出力がどのような電圧変化をするかを示したタイミングチャートである。

【0063】図4において示すそれぞれの信号および出力が、図3のブロック図と対応している。また、図中、t1~t13は時間の進行を表しており、この時間の進行は大きく次の2種類に分類できる。

【0064】すなわち、時刻t1~t5までは、時刻t1でローアドレス入力信号X1~XaおよびX1~Xbを受けてから、書き込みワード線印加電圧(Vw)1~(Vw)iとベリファイ読み出しワード線印加電圧(Vv)1~(Vv)iの2種類のワード線印加電圧、および選択ゲート線出力SL1~SLj、およびワード線ブロック選択信号x1'~xj'をそれぞれの電圧値レベルに設定して出力するまでの時間の進行である。

【0065】また、時刻t5~t13までは、書き込み電圧印加動作/ベリファイ読み出し動作の繰り返し切り

15

替え動作であり、それぞれの時刻でワード線印加電圧切り替え信号 $\phi w/v$ 、 $\phi w/v'$ が変化し、それによって上記2種類のワード線印加電圧のどちらか一方が選択されて、ワード線出力 $V1 \sim Vi$ 、 $WL11 \sim WLji$ として切り替え出力される。

【0066】以下、図5のタイミングチャートを、時間を追って順に説明する。まず、時刻 $t1$ でサブローデコード51がローアドレス入力信号 $X1 \sim Xa$ 、メインローデコード41がローアドレス入力信号 $X1 \sim Xb$ をそれぞれ受ける。

【0067】次に、時刻 $t2$ までにローアドレス入力信号はデコードされて、サブローデコード51内で、書き込みワード線印加電圧 $(Vw)1 \sim (Vw)i$ とベリファイ読み出しワード線印加電圧 $(Vv)1 \sim (Vv)i$ の2種類のワード線印加電圧、メインローデコード41内で、選択ゲート線出力 $SL1 \sim SLj$ 、およびワード線ブロック選択信号 $x1' \sim xj'$ が出力されるが、この時点でこれらの信号および出力はまだ所定の電圧値レベルに変換されておらず、論理動作電圧レベルのままである。

【0068】次に、時刻 $t3$ で電源電圧 VBB 、 Vvr 、 VSL がそれぞれ $0V \rightarrow -9V$ 、 $3.3V \rightarrow 2V$ 、 $0V \rightarrow 9V$ に設定され、時刻 $t4$ で電源電圧 VwE が $3.3V \rightarrow 0V$ に設定される。その結果、時刻 $t5$ までに、書き込みワード線印加電圧 $(Vw)1 \sim (Vw)i$ とベリファイ読み出しワード線印加電圧 $(Vv)1 \sim (Vv)i$ の2種類のワード線印加電圧、および選択ゲート線出力 $SL1 \sim SLj$ 、およびワード線ブロック選択信号 $x1' \sim xj'$ は、所定の電圧値レベルに変換される。

【0069】次に、時刻 $t5$ からは、書き込み電圧印加動作/ベリファイ読み出し動作の繰り返し切り替え動作に入り、時刻 $t5$ 、 $t9$ 、 $t11$ 、 $t13$ でワード線印加電圧切り替え信号 $\phi w/v$ がハイレベルになり、切り替え信号 $\phi w/v$ は後述する図12の回路により直接所定の電圧レベルに変換されて、ワード線印加電圧切り替え信号 $\phi w/v'$ が発生される。それによってワード線出力 $V1 \sim Vi$ 、 $WL11 \sim WLji$ として書き込みワード線印加電圧 $(Vw)1 \sim (Vw)i$ が切り替え出力される。

【0070】また、時刻 $t6$ 、 $t8$ 、 $t10$ 、 $t12$ でワード線印加電圧切り替え信号 $\phi w/v$ がローレベルになり、切り替え信号 $\phi w/v$ は後述する図12の回路により直接所定の電圧レベルに変換されて、ワード線印加電圧切り替え信号 $\phi w/v'$ が発生される。それによってワード線出力 $V1 \sim Vi$ 、 $WL11 \sim WLji$ としてベリファイ読み出しワード線印加電圧 $(Vv)1 \sim (Vv)i$ が切り替え出力される。

【0071】次に、図3のブロック図における具体的な回路例を、選択ゲート線出力部42については図6に、

16

ワード線ブロック選択信号部43については図7および図8に、書き込み/消去ワード線印加電圧出力部52については図9に、ベリファイ読み出しワード線印加電圧出力部53については図10に、ワード線印加電圧切り替えマルチプレクサ部61については図11に、ワード線印加電圧切り替え信号発生部62については図12に、ワード線出力伝達部7については図13に、それぞれ示し、順に説明する。

10 【0072】図6は、選択ゲート線出力部42についての具体的な回路例を示す図である。選択ゲート線出力部42は、図3に示すように、選択ゲート線 $CL \sim SL1 \sim CN \sim SLj$ のそれぞれに対応した各セグメントにより構成されており、図6は m 番目のセグメントである。

【0073】図6に示すように、選択ゲート線出力部42は、 VCC/GND レベルで動作するアンド回路 $NAND1$ 、 VSL/GND レベルで動作するレベルシフト回路421、およびインバータ $INV1$ により構成されている。

20 【0074】ナンド回路 $NAND1$ は、消去時(ERASE)に、デコード部からのデコード信号 xm に関係なく、すべてのワード線ブロックの選択ゲート線 SLm を、ローレベルに設定するための回路である。

【0075】レベルシフト回路421は、デコード部からのデコード信号 xm を、 VSL/GND レベルに電圧変換するためのラッチ型回路であり、N型トランジスタ $TN2$ 、 $TN3$ 、およびP型トランジスタ $TP2$ 、 $TP3$ により構成される。また、図5のタイミングチャートにおいては、時刻 $t3$ で電源電圧 VSL を $3.3V \rightarrow 1.0V$ に設定することにより、レベル変換される。

30 【0076】インバータ $INV1$ は、選択ゲート線 SLm をドライブするためのドライバ回路として機能し、最終的にデコード信号 xm は論理正転状態で電圧変換されて、選択ゲート線 SLm に出力される。

【0077】図7および図8は、ワード線ブロック選択信号出力部43についての具体的な回路例を示す図である。ワード線ブロック選択信号部43は、図3に示すように、ワード線ブロック選択信号 $CN \sim x1 \sim CN \sim xj$ にそれぞれ対応した各セグメントにより構成されており、図7は m 番目のセグメントである。

40 【0078】図7に示すように、ワード線ブロック選択信号出力部43は、P型トランジスタ $TP4$ 、 VPP/VBB レベルで動作するレベルシフト431、およびインバータ $INV2$ 、 $INV3$ により構成されている。

【0079】P型トランジスタ $TP4$ は、電源電圧 VBB が負電圧時または電源電圧 VPP が昇圧時に、 VCC/GND 系と VPP/VBB 系を、完全に分離するためのP型トランジスタであり、図8において後述する制御信号 ϕr により、 VBB が負電圧時または VPP が昇圧時に、オフとなる。

50 【0080】レベルシフト回路431は、デコード部か

17

らのデコード信号xmを、VPP/VBBレベルに電圧変換するためのラッチ型回路であり、N型トランジスタTN4、TN5、およびP型トランジスタTP5、TP6により構成されている。

【0081】また、図5のタイミングチャートにおいては、デコード信号xmをラッチ後、時刻t3で電源電圧VBBを0V→1.0Vに設定することにより、レベル変換される。

【0082】インバータINV2およびINV3は、ワード線ブロック選択信号xm' および/xm' をドライブするためのドライバ回路として機能し、最終的に、デコード信号xmは論理正転状態で電圧変換されてワード線ブロック選択信号xm' として、また論理反転状態で電圧変換されてワード線ブロック選択信号/xm' として出力される。

【0083】図8は、図7の分離用P型トランジスタTP4を電源電圧VBBが負電圧時または電源電圧VPPが昇圧時にオフするための制御信号φrを発生する回路であり、N型トランジスタTN6、および高抵抗素子R1、およびVPP/GNDレベルで動作するインバータINV4により構成されている。

【0084】N型トランジスタTN6は、通常はオフ状態にあり、電源電圧VBBが負電圧時にのみオン状態となり、インバータINV4の入力ノードをVBBレベルにバイアスする。高抵抗素子R1は、具体的には $\sim M\Omega$ 単位の抵抗値を有するプルアップ抵抗であり、電源電圧VBBが負電圧時以外、インバータINV4の入力ノードをVCCレベルにバイアスする。

【0085】インバータINV4は、VPP/GNDレベルで動作する制御信号φrをドライブするためのドライバ回路として機能し、論理しきい値電圧がVPP/2レベルに設定される。したがって、通常はGNDレベルとなりP型トランジスタTP4をオンさせるが、電源電圧VBBが負電圧時または電源電圧VPPが昇圧時にのみVPPレベルになりP型トランジスタTP4をオフ状態とする。

【0086】図9は、書き込み/消去ワード線印加電圧出力部52についての具体的な回路例を示す図である。書き込み/消去ワード線印加電圧出力部52は、図3に示すように、書き込み/消去ワード線印加電圧CN-(Vw)1~CN-(Vw)iのそれぞれに対応した各セグメントにより構成されており、図9はn番目のセグメントである。

【0087】図9に示すように、書き込み/消去ワード線印加電圧出力部52は、VCC/GNDレベルで動作するナンド回路NAND2、P型トランジスタTP7、VwE/VBBレベルで動作するレベルシフト回路521、およびインバータINV5により構成されている。

【0088】ナンド回路NAND2は、消去時(ERASE)に、デコード部からのデコード信号xnに關係な

18

く、選択されたワード線ブロック内のすべてのワード線の消去ワード線印加電圧(Vw)nを、ハイレベルに設定するための回路である。P型トランジスタTP7は、電源電圧VBBが負電圧時または電源電圧VPPが昇圧時に、VCC/GND系とVwE/VBB系を、完全に分離するためのP型トランジスタであり、図8において説明した制御信号φrにより、VBBが負電圧時またはVPPが昇圧時に、オフとなる。

【0089】レベルシフト回路521は、デコード部からのデコード信号xnを、VwE/VBBレベルに電圧変換するためのラッチ型回路であり、N型トランジスタTN7、TN8、およびP型トランジスタTP8、TP9により構成されている。また、図5のタイミングチャートにおいては、デコード信号xnをラッチ後、時刻t3で電源電圧VBBを0V→1.0Vに設定することにより、また時刻t4で電源電圧VwEを3.3V→0Vに設定することによりレベル変換される。

【0090】インバータINV5は、書き込み/消去ワード線印加電圧(Vw)nをドライブするためのドライバ回路として機能し、最終的にデコード信号xnは、消去時にハイレベルで、書き込み電圧印加動作時に論理反転状態で電圧変換されて、書き込み/消去ワード線印加電圧(Vw)nとして出力される。

【0091】図10は、ベリファイ読み出しワード線印加電圧出力部53についての具体的な回路例を示す図である。ベリファイ読み出しワード線印加電圧出力部53は、図3に示すように、ベリファイ読み出しワード線印加電圧CN-(Vv)1~CN-(Vv)iのそれぞれに対応した各セグメントにより構成されており、図10は、n番目のセグメントである。

【0092】図10に示すように、ベリファイ読み出しワード線印加電圧出力部53は、Vvr/GNDレベルで動作するレベルシフト回路531、およびインバータINV6により構成されている。

【0093】レベルシフト回路531は、デコード部からのデコード信号xnを、Vvr/GNDレベルに電圧変換するためのインバータ型回路であり、N型トランジスタTN9、およびP型トランジスタTP10により構成されている。また、図5のタイミングチャートにおいては、時刻t3で電源電圧Vvrを3.3V→2Vに設定することにより、レベル変換される。

【0094】インバータINV6は、ベリファイ読み出しワード線印加電圧(Vv)nをドライブするためのドライバ回路として機能し、最終的にデコード信号xnは、論理正転状態で電圧変換されて、ベリファイ読み出しワード線印加電圧(Vv)nとして出力される。

【0095】図11は、ワード線印加電圧切り替えマルチプレクサ部61についての具体的な回路例を示す図である。ワード線印加電圧切り替えマルチプレクサ部61は、図3に示すように、マルチプレクサMPX1~MP

X_i のそれぞれのワード線印加電圧に対応した各セグメントにより構成されており、図11は n 番目のセグメントに対応している。

【0096】図11に示すように、ワード線印加電圧切り替えマルチプレクサ部61は、スイッチ611、およびスイッチ612により構成されている。スイッチ611は、N型トランジスタTN10およびP型トランジスタTP11により構成されるアナログスイッチ回路であって、ワード線印加電圧切り替え信号 $\phi w/v'$ がハイレベルのときにオンとなり、書き込み/消去ワード線印加電圧(V_w) n を入力して、ワード線出力 V_n として出力する。また、図5のタイミングチャートにおいては、時刻 t_5 、 t_7 、 t_9 、 t_{11} 、 t_{13} で、スイッチ611に切り替えられる。

【0097】スイッチ612は、N型トランジスタTN11およびP型トランジスタTP12により構成されるアナログスイッチ回路であって、ワード線印加電圧切り替え信号 $\phi w/v'$ がローレベルのときにオンとなり、ベリファイ読み出しワード線印加電圧(V_w) n を入力して、ワード線出力 V_n として出力する。また、図5の

タイミングチャートにおいては、時刻 t_6 、 t_8 、 t_{10} 、 t_{12} で、スイッチ612に切り替えられる。

【0098】図12は、ワード線印加電圧切り替え信号発生部62についての具体的な回路例を示す図である。図12において、ワード線印加電圧切り替え信号発生部62は、VCC/GNDレベルで動作するナンド回路NAND3、NAND4、VPP/GNDレベルで動作するレベルシフト回路621、インバータINV7、VPP/VBBレベルで動作するレベルシフト回路622、およびインバータINV8、INV9により構成されている。

【0099】図12に示すワード線印加電圧切り替え信号発生部62は、VCC/GNDレベルの制御信号 $\phi w/v$ を2段階の電圧変換により、VPP/VBBレベルのワード線印加電圧切り替え信号 $\phi w/v'$ を発生する電圧変換回路である。まず、第1段階目の電圧変換によりVCC/GNDレベルからVPP/GNDレベルに、続いて、第2段階目の電圧変換によりVPP/GNDレベルからVPP/VBBレベル電圧変換される。

【0100】これら一連の電圧変換は、図5のタイミングチャートにおいては、時刻 t_5 、 t_7 、 t_9 、 t_{11} 、 t_{13} で制御信号 $\phi w/v$ がローレベルからハイレベルに、時刻 t_6 、 t_8 、 t_{10} 、 t_{12} 、 t_{14} で制御信号 $\phi w/v$ がハイレベルからローレベルにそれぞれ変化するため、各々の時刻で高速に電圧変換する必要がある。図5のタイミングチャートにおいては、電源電圧VPP、VBBの設定は、時刻 t_4 までに完了しているので、高速に電圧変換することが可能になる。

【0101】ナンド回路NAND3は、消去(ERASE)時に、制御信号 $\phi w/v$ に関係なく、ワード線印加電圧切り替え信号 $\phi w/v'$ を、ハイレベルに設定する

ための回路である。ナンド回路NAND4は、読み出し動作(READ)時に、制御信号 $\phi w/v$ に関係なく、ワード線印加電圧切り替え信号 $\phi w/v'$ を、ローレベルに設定するための回路である。

【0102】レベルシフト回路621は、制御信号 $\phi w/v$ を、VPP/GNDレベルに電圧変換するためのラッチ型回路であり、N型トランジスタTN12、TN13、およびP型トランジスタTP13、TP14により構成されている。レベルシフト回路622は、インバータINV7の出力段を、VPP/VBBレベルに電圧変換するためのラッチ型の回路であり、N型トランジスタTN14、TN15、およびP型トランジスタTP15、TP16により構成される。

【0103】インバータINV7は、レベルシフト回路621の出力段をドライブするためのドライバ回路として機能する。インバータINV8、INV9は、最終的にワード線印加電圧切り替え信号 $\phi w/v'$ をドライブするためのドライバ回路として機能し、制御信号 $\phi w/v$ は論理正転状態で電圧変換され信号 $\phi w/v'$ として、論理反転状態で電圧変換されて信号 $\phi w/v'$ として出力される。

【0104】図13は、ワード線出力伝達部7についての具体的な回路例を示す図である。ワード線出力伝達部7は、図13に示すように、各ワード線SW11~SW1jの各々に対応した各セグメントにより構成されており、図13は m 番目のワード線ブロック内の n 番目のワード線に対応するセグメントである。

【0105】図13に示すように、ワード線出力伝達部7は、スイッチ701、およびN型トランジスタTN17により構成されている。スイッチ701は、N型トランジスタTN16およびP型トランジスタTP17により構成されるアナログスイッチ回路であり、ワード線ブロック選択信号 x_m' がハイレベルのときにオンとなり、選択されたワード線ブロック内のそれぞれのワード線に、ワード線出力 V_n をワード線WL mn に出力する。N型トランジスタTN17は、ワード線ブロック選択信号 x_m' がローレベルのときにオンとなり、ワード線ブロックが選択されなかった場合、ブロック内のそれぞれのワード線を0Vにバイアスする。

【0106】以上詳細な説明したように、本発明の第1の実施例であるDINOR型フラッシュメモリにおいて、短時間に書き込み電圧印加動作とベリファイ読み出し動作の切り替えが可能となり、ひいては高速に書き込み動作を行うことが可能となる。

【0107】図14および図15は、本発明に係る第2の実施例であるNOR型フラッシュメモリの、消去電圧印加動作およびベリファイ読み出し動作のバイアス例を示す図である。なお、図14に示す消去電圧印加動作のバイアス例は、図23に示す従来例におけるワード線セクタ消去の場合と同じである。また、図15に示すべ

リファイ読み出し動作のバイアス例は、図24に示す従来例におけるワード線セクタ消去の場合と同じである。

【0108】図16は、図14、図15に示すような消去電圧印加動作およびベリファイ読み出し動作を実現するための、本発明の半導体不揮発性記憶装置、特に第2の実施例であるNOR型フラッシュメモリのローデコーダを中心とする要部のブロック図である。図16が、図3に示す第1の実施例であるDINOR型フラッシュメモリのブロック図と異なる点は、選択ゲート線SL1～SLJ、および選択トランジスタ、および選択ゲート線出力部を必要としないことであり、その他は図3のブロック図の構成と同様である。

【0109】図17は、図16におけるそれぞれの電源端子の電圧値レベルが、本発明のNOR型フラッシュメモリの消去電圧印加動作、ベリファイ読み出し動作時、書き込み動作、読み出し動作の4種類の動作モードで、それぞれどのような電圧値に設定されるかを示す図である。

【0110】図17に示す表で特に重要な点は、消去電圧印加動作とベリファイ読み出し動作時の2種類の動作モード時に、各電源端子の電圧値レベルが同一レベルに設定されており、上記2種類の動作モードの繰り返し切り替え時に、各電源端子の電圧設定を繰り返し設定し直す必要がないことである。これは、従来のNOR型フラッシュメモリの動作と大きく異なる。

【0111】すなわち、図17に示すように、VCC、GNDは通常の論理動作の電圧レベルであるため、動作モードにかかわらずそれぞれ5V、0Vに設定される。V_{PPI}は消去電圧印加動作、およびベリファイ読み出し動作時に5V、書き込み動作時に12V、および読み出し動作時に5Vに設定される。V_{BB}は消去電圧印加動作、およびベリファイ読み出し動作時に-10V、書き込み動作時および読み出し動作時に0Vに設定される。V_{WE}は消去電圧印加動作およびベリファイ読み出し動作時に0V、書き込み動作時に12V、および読み出し動作時に5Vに設定される。V_{vri}は消去電圧印加動作、およびベリファイ読み出し動作時に3V、書き込み動作および読み出し動作時に5Vに設定される。

【0112】図16のブロック図および図17の各種動作モードにおける電源端子の設定は、書き込み動作と消去動作の区別を除けば、書き込み電圧印加動作または消去電圧印加動作とベリファイ読み出し動作を交互に繰り返し行う場合に、選択するワード線に所定の負電圧と所定の正電圧を交互に切り替え出力する点において、全く同様である。したがって、あらためて繰り返し説明するまでもなく、第1の実施例であるDINOR型フラッシュメモリの場合と同様に、短時間に消去電圧印加動作とベリファイ読み出し動作の切り替えが可能となり、ひいては高速に消去動作を行うことが可能である。

【0113】

【発明の効果】以上説明したように、本発明の半導体不揮発性記憶装置によれば、書き込み電圧印加動作または消去電圧印加動作とベリファイ読み出し動作の切り替えを短時間で行うことができ、ひいては高速に書き込みまたは消去動作を行うことができる。

【図面の簡単な説明】

【図1】本発明に係る第1の実施例であるDINOR型フラッシュメモリの書き込み電圧印加動作のバイアス例を示す図である。

10 【図2】本発明に係る第1の実施例であるDINOR型フラッシュメモリのベリファイ読み出し動作のバイアス例を示す図である。

【図3】第1の実施例であるDINOR型フラッシュメモリのローデコーダを中心とする要部のブロック図である。

【図4】第1の実施例であるDINOR型フラッシュメモリのそれぞれの電源端子の電圧値レベルが、消去動作、書き込み電圧印加動作、ベリファイ読み出し動作、読み出し動作の4種類の動作モードで、それぞれどのような電圧値に設定されるかを示す図である。

【図5】第1の実施例であるDINOR型フラッシュメモリにおいて、書き込み電圧印加動作／ベリファイ読み出し動作の繰り返し切り替え時に、各種の信号および出力がどのような電圧変化をするかを示すタイミングチャートである。

【図6】本発明に係る選択ゲート線出力部についての具体的な回路例を示す図である。

【図7】本発明に係るワード線ブロック選択信号出力部についての具体的な回路例を示す図である。

30 【図8】本発明に係る制御信号φ_rを発生する具体的な回路例を示す図である。

【図9】本発明に係る書き込み／消去ワード線印加電圧出力部についての具体的な回路例を示す図である。

【図10】本発明に係るベリファイ読み出しワード線印加電圧出力部についての具体的な回路例を示す図である。

【図11】本発明に係るワード線印加電圧切り替えマルチプレクサ部についての具体的な回路例を示す図である。

40 【図12】本発明に係るワード線印加電圧切り替え信号発生部についての具体的な回路例を示す図である。

【図13】本発明に係るワード線出力伝達部についての具体的な回路例を示す図である。

【図14】本発明に係る第2の実施例であるNOR型フラッシュメモリの消去電圧印加動作のバイアス例を示す図である。

【図15】本発明に係る第2の実施例であるNOR型フラッシュメモリのベリファイ読み出し動作のバイアス例を示す図である。

50 【図16】第2の実施例であるNOR型フラッシュメモ

リのローデコーダを中心とする要部のブロック図である。

【図17】第2の実施例であるNOR型フラッシュメモリのそれぞれの電源端子の電圧値レベルが消去電圧印加動作、ベリファイ読み出し動作、書き込み動作、読み出し動作の4種類の動作モードでそれぞれどのような電圧値に設定されるかを示す図である。

【図18】DINOR型フラッシュメモリの消去動作時のバイアスを示す図である。

【図19】DINOR型フラッシュメモリの書き込み電圧印加動作時のバイアスを示す図である。

【図20】DINOR型フラッシュメモリのベリファイ読み出し動作時のバイアスを示す図である。

【図21】DINOR型フラッシュメモリの読み出し動作時のバイアスを示す図である。

【図22】DINOR型フラッシュメモリの各種動作をまとめた図である。

【図23】NOR型フラッシュメモリのワード線セクタ消去における消去電圧印加動作時のバイアスを示す図である。

【図24】NOR型フラッシュメモリのベリファイ読み出し動作時のバイアスを示す図である。

【図25】NOR型フラッシュメモリの書き込み動作時のバイアスを示す図である。

【図26】NOR型フラッシュメモリの読み出し動作時のバイアスを示す図である。

【図27】NOR型フラッシュメモリの各種動作をまとめた図である。

【図28】DINOR型フラッシュメモリの書き込み電圧印加動作における選択するワード線ドライバのバイアス状態を示す回路図である。

【図29】DINOR型フラッシュメモリのベリファイ読み出し動作における選択するワード線ドライバのバイアス状態を示す回路図である。

【図30】図28のワード線ドライバのバイアス状態で特に問題となるN型トランジスタTN1のバイアス状態を示す図である。

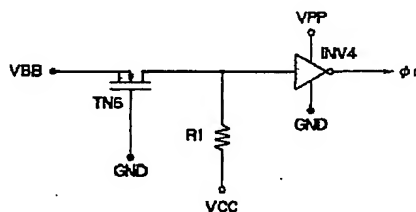
【図31】図29のワード線ドライバのバイアス状態で特に問題となるN型トランジスタTN1のバイアス状態を示す図である。

【図32】DINOR型フラッシュメモリの書き込み動作/ベリファイ読み出し動作における選択するワード線の出力電圧値レベルのタイミングチャートである。

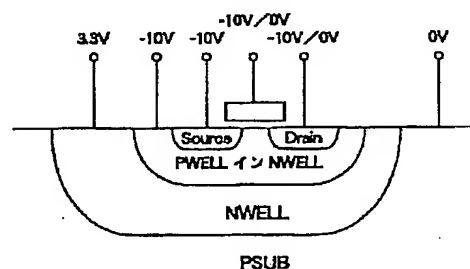
【符号の説明】

- 1…メモリアレイ部
- 2…読み出し/書き込み回路
- 3…カラムデコーダ
- 4…メインローデコーダ
- 41…メインローデコーダ(デコード部)
- 42…選択ゲート線出力部
- 43…ワード線ブロック選択信号出力部
- 5…サブローデコーダ
- 51…サブローデコーダ(デコード部)
- 52…書き込み/消去ワード線印加電圧出力
- 53…ベリファイ読み出しワード線印加電圧出力
- 6…ワード線印加電圧切り替え部
- 61…ワード線印加電圧切り替えマルチプレクサ部
- 62…ワード線印加電圧切り替え信号発生部
- X1~Xa…X(サブローデコーダ)入力
- X1~Xb…X(メインローデコーダ)入力
- Y1~Yy…Y(カラム)入力
- WL11~WLji…ワード線
- SL1~SLj…選択ゲート線
- B1~Bk…ビット線
- x1~xj…デコード信号(メインローデコーダ)
- x1'~xj'…ワード線ブロック選択信号
- x1~xi…デコード信号(サブローデコーダ)
- (Vw)1~(Vw)i…書き込み/消去ワード線印加電圧
- (Vv)1~(Vv)i…ベリファイ読み出しワード線印加電圧
- $\phi w/v'$ …ワード線印加電圧切り替え信号
- V1~Vi…ワード線出力

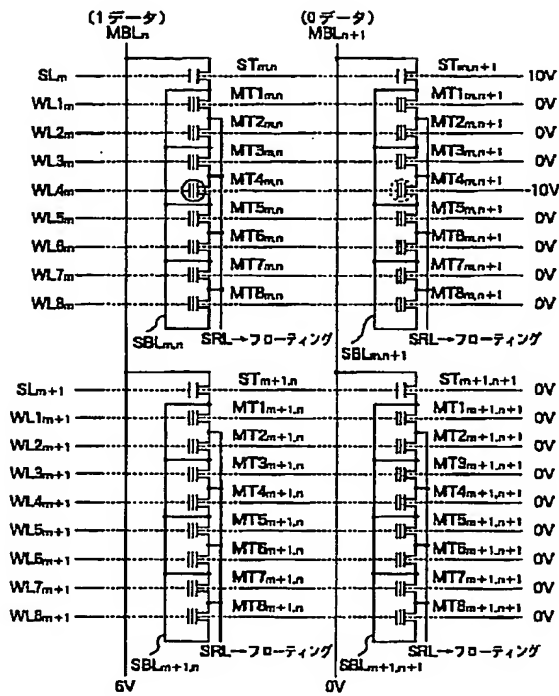
【図8】



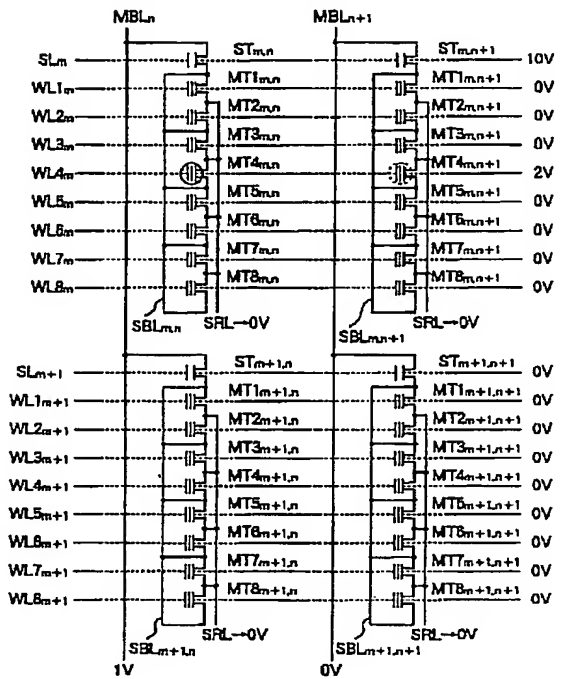
【図30】



【図1】



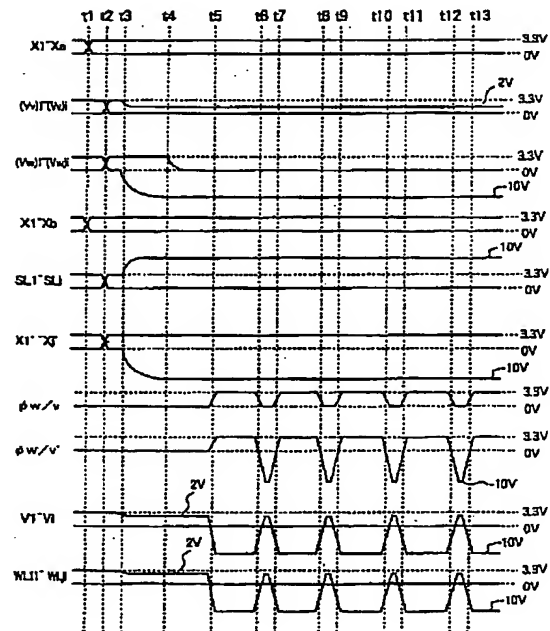
【図2】



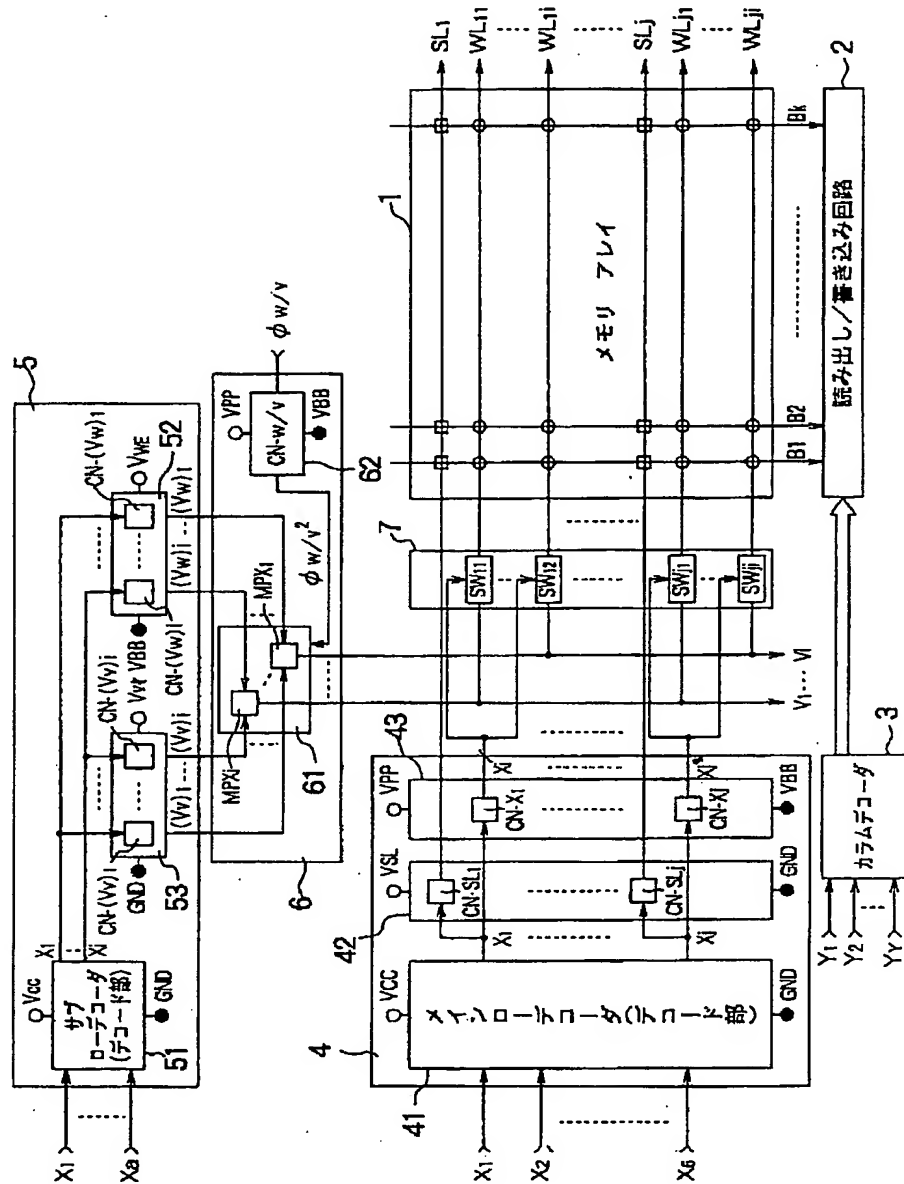
【図4】

	消去	書き込み	ベリファイ読み出し	読み出し
VCC	3.3V	3.3V	3.3V	3.3V
GND	0V	0V	0V	0V
VPP	20V	3.3V	3.3V	3.3V
VBB	0V	-10V	-10V	0V
VwE	20V	0V	0V	3.3V
Vvr	3.3V	2V	2V	3.3V
VSL	3.3V	10V	10V	3.3V

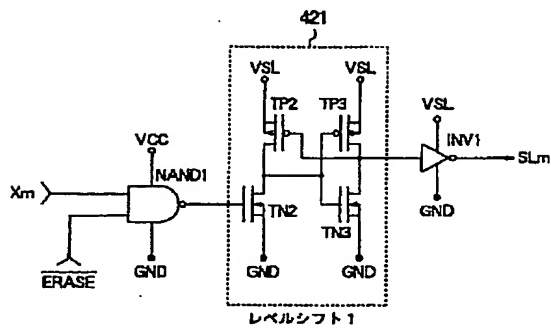
【図5】



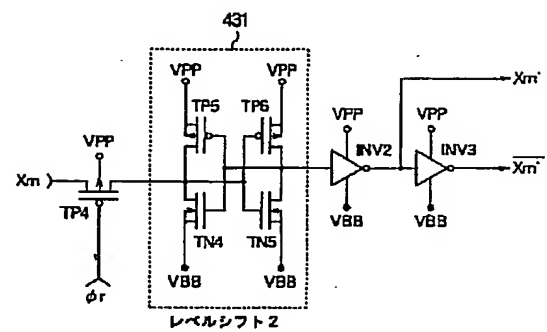
【図3】



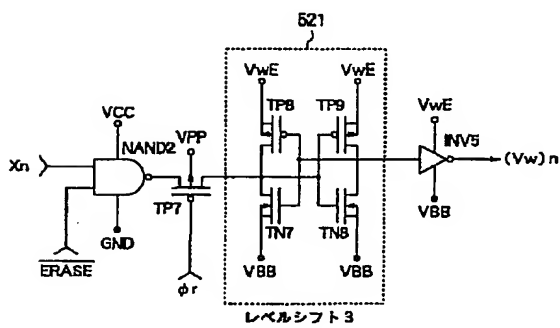
【図6】



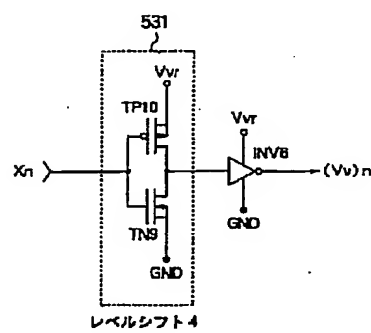
【図7】



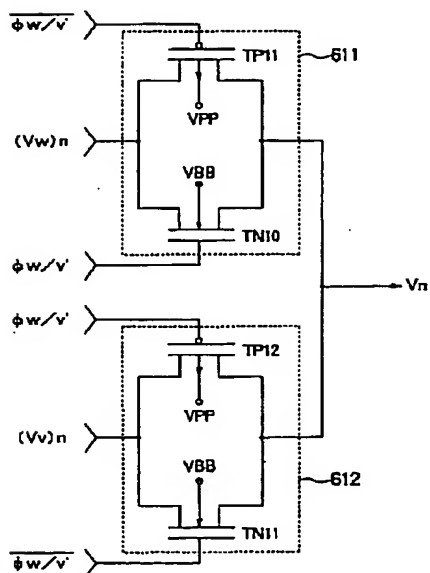
【図9】



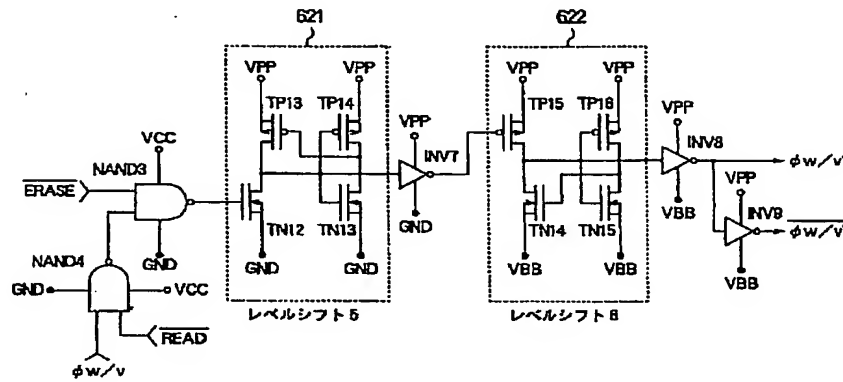
【図10】



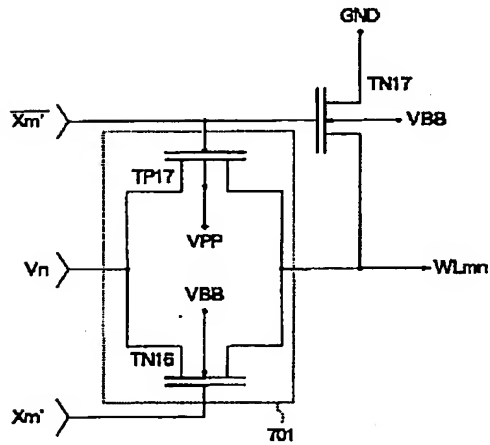
【図11】



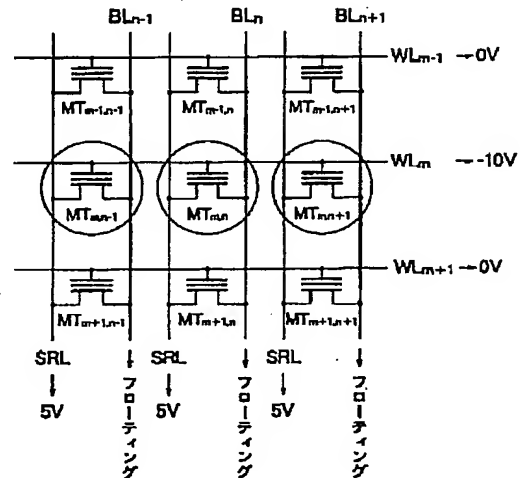
【図12】



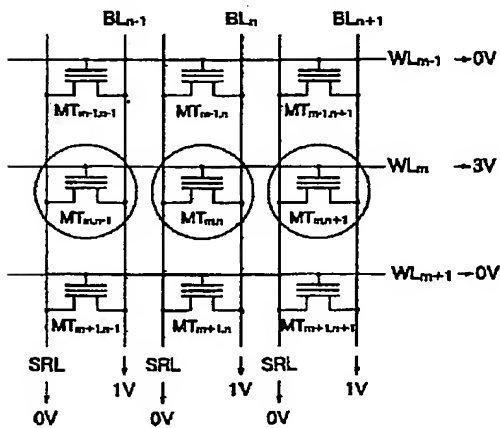
【図13】



【図14】



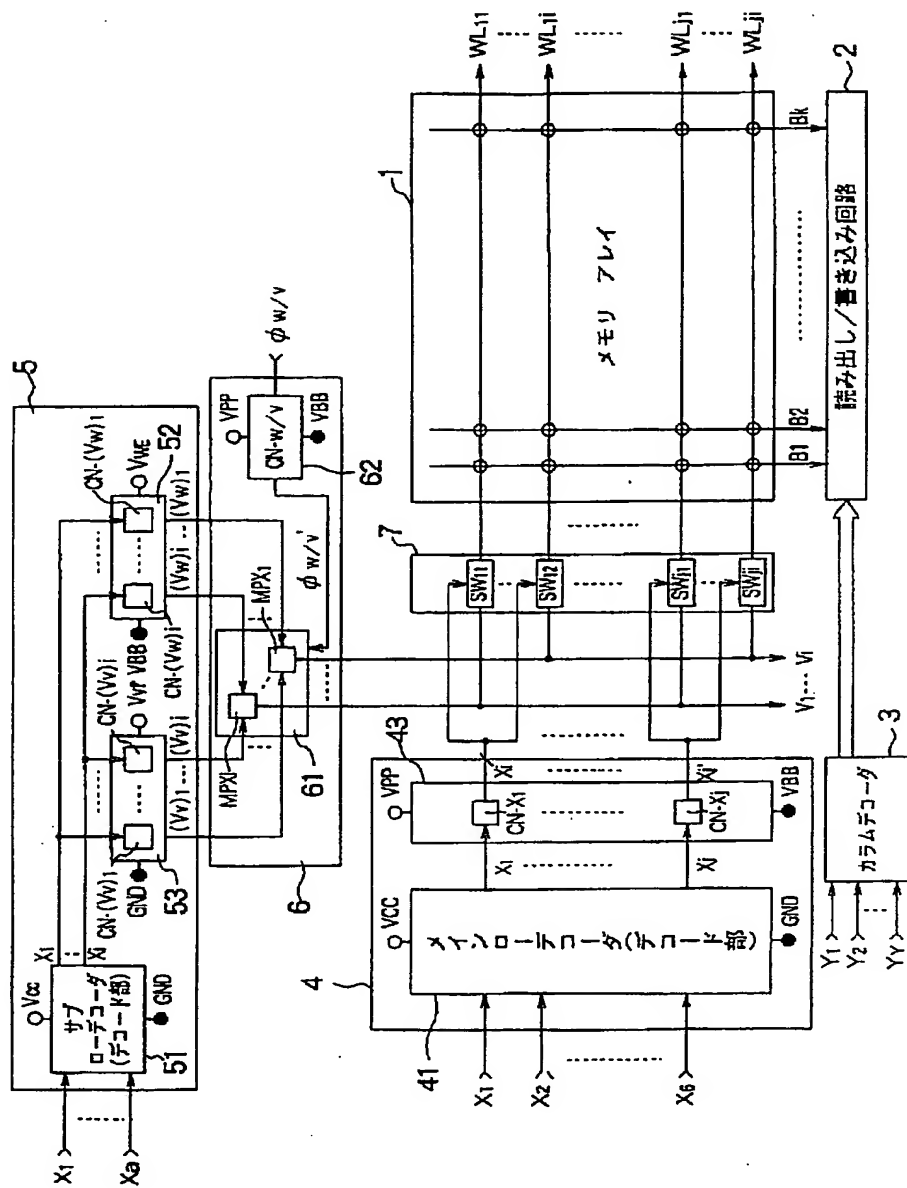
【図15】



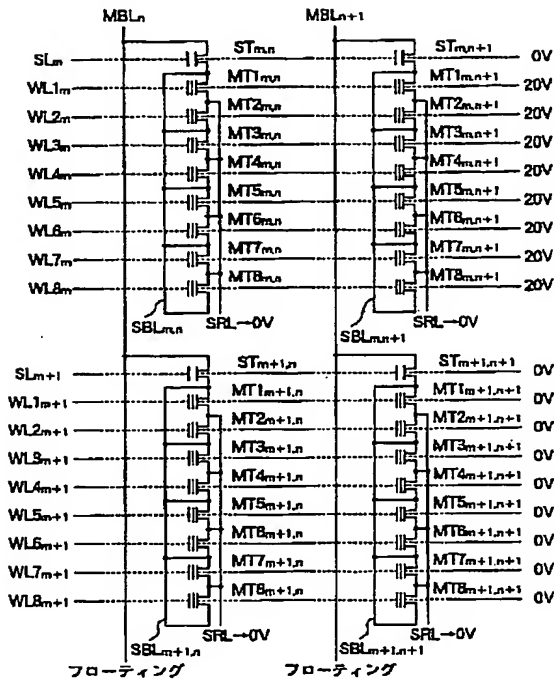
【図17】

	消去	ペリファイ 読み出し	書き込み	読み出し
VCC	5V	5V	5V	5V
GND	0V	0V	0V	0V
VPP	5V	5V	12V	5V
VBB	-10V	-10V	0V	0V
VwE	0V	0V	12V	5V
Vvr	3V	3V	5V	5V

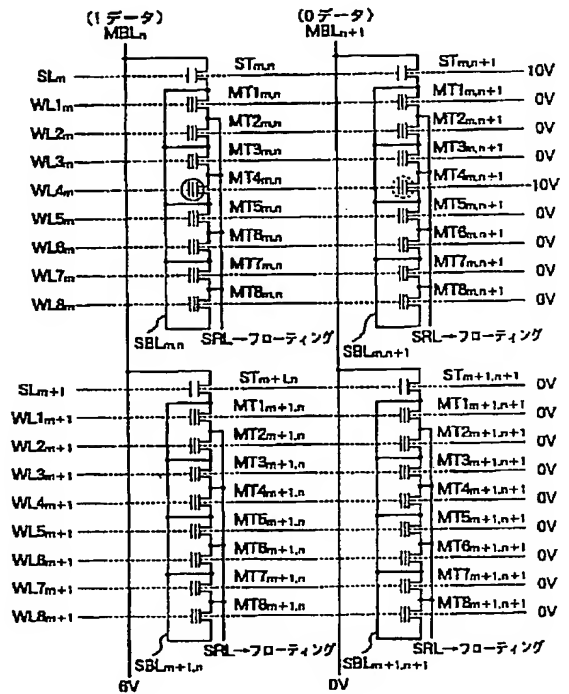
【図16】



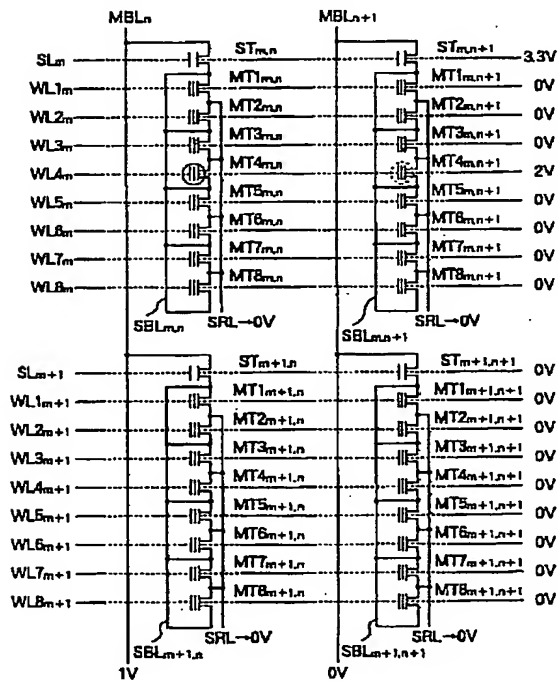
【図18】



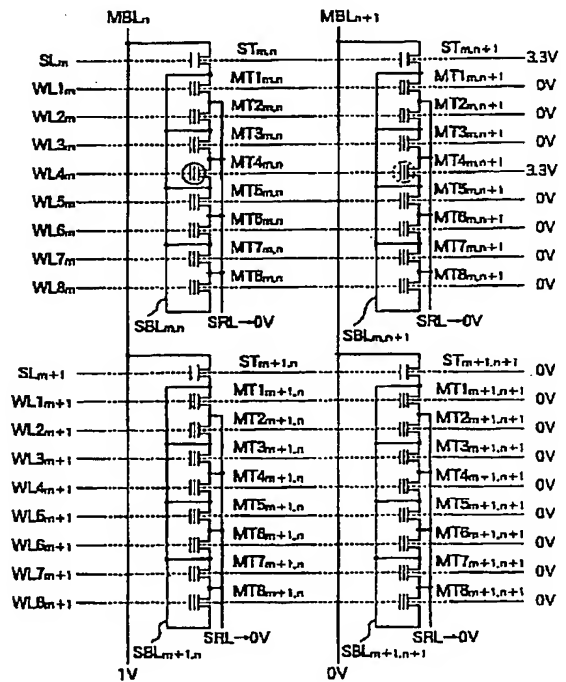
【図19】



【図20】



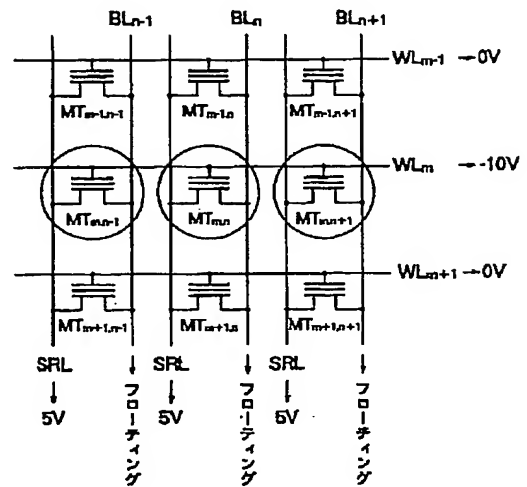
【図21】



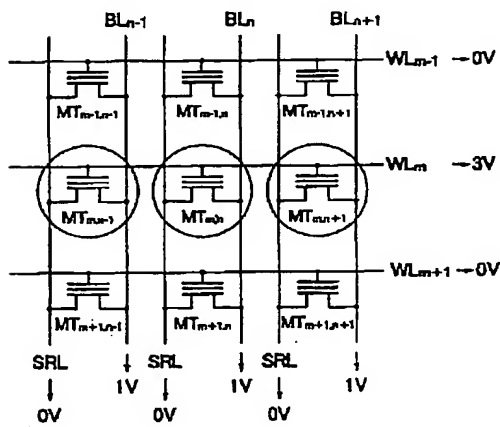
【図22】

	選択ゲート線 SL	ワード線 WL	ビット線 BL	共通ソース線 SRL
消去	0V	選択 非選択 20V 0V	フローティング	0V
書き込み	選択 非選択 10V 0V	選択 非選択 -10V 0V	選択 非選択 5V 0V	フローティング
ペリファイ 読み出し	選択 非選択 3.3V 0V	選択 非選択 2V 0V	選択 非選択 1V 0V	0V
読み出し	選択 非選択 3.3V 0V	選択 非選択 3.3V 0V	選択 非選択 1V 0V	0V

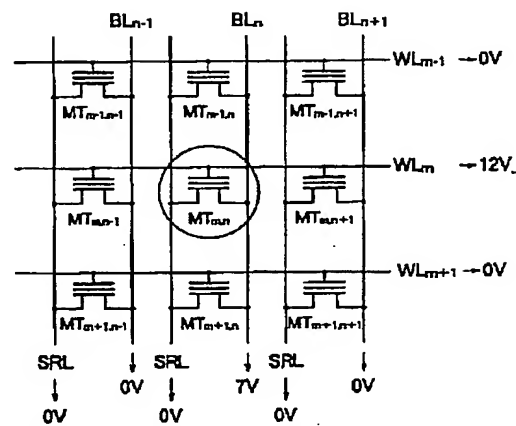
【図23】



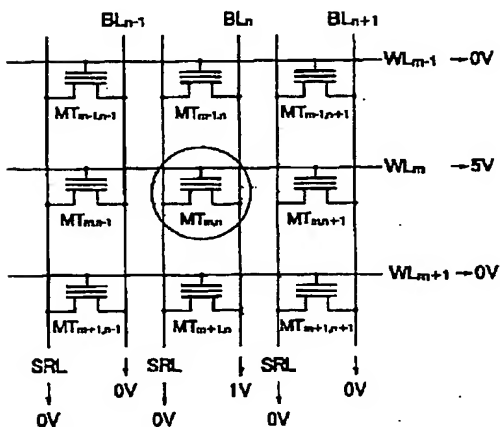
【図24】



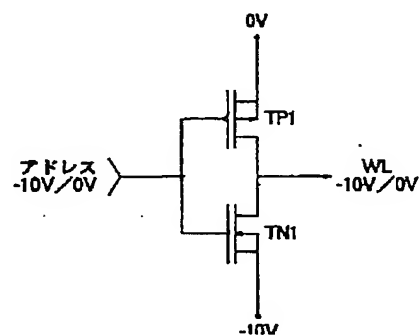
【図25】



【図26】



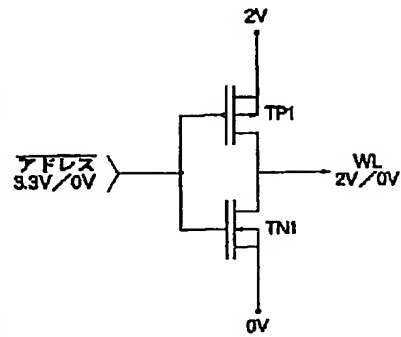
【図28】



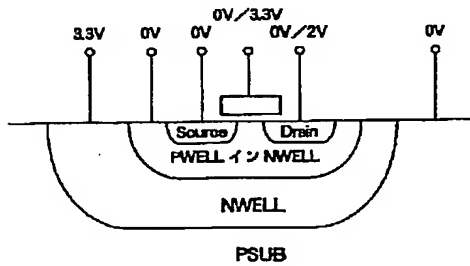
【図27】

	ワード線 WL	ビット線 BL	共通ソース線 SRL
消去	選択 非選択 -10V 0V	フローティング	5V
ベリファイ読み出し	選択 非選択 3V 0V	選択 非選択 1V 0V	0V
書き込み	選択 非選択 12V 0V	選択 非選択 7V 0V	0V
読み出し	選択 非選択 5V 0V	選択 非選択 1V 0V	0V

【図29】



【図31】



【図32】

